

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07058669 A

(43) Date of publication of application: 03 . 03 . 95

(51) Int. Cl

H04B 1/707
H03H 17/02

(21) Application number: 05198676

(22) Date of filing: 11 . 08 . 93

(71) Applicant: FUJITSU LTD

(72) Inventor: NAWA TOSHIHIKO
OOTUKA YASUAKI
FUNYU YASUTO

(54) DIGITAL MATCHED FILTER

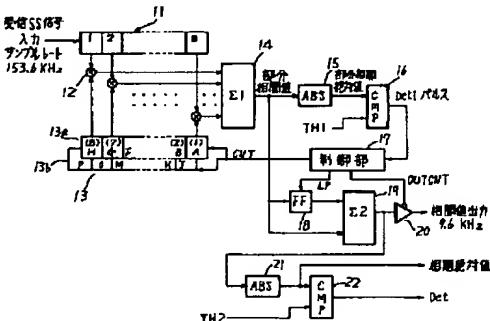
(57) Abstract:

PURPOSE: To make a circuit scale small by successively obtaining the correlation between partial spectrum spreading codes for which spectrum spreading codes are divided and reception spread spectrum signals.

CONSTITUTION: A reception shift register 11 serially inputs the chips of the reception spread spectrum signals and a multiplier 12 multiplies the number of the chips outputted by the respective stages of the register 11 by coefficients for the respective chips. Coefficient registers 13a and 13b respectively hold values corresponding to the first half and second half parts of the spreading codes of the chip and output them as multiplication coefficients based on changeover control signals CNT from a control part 17 to the multiplier 12. An adder 14 obtains the sum of the output of the multiplier 12 and outputs it as a partial correlation coefficient, an absolute value calculation part 15 generates a partial correlation absolute value and a comparison part 16 detects a chip timing when the partial correlation absolute value exceeds a threshold value TH1. The control part 17 performs control so as to let the desired partial spreading codes be held in the registers 13a and 14b at the chip timing and partial

correlation coefficient adding means 18-20 fetch the output of the adder 14 and cumulatively add and output the output for one chip.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 原信号に所定チップ長の拡散符号を用いてスペクトラム拡散を施した受信スペクトラム拡散信号に、逆拡散を施して原信号を取り出すデジタルマッチドフィルタにおいて、

所定チップ長の拡散符号を分割してチップ長が略等しい複数の部分拡散符号とし、受信スペクトラム拡散符号と該複数の部分拡散符号のそれぞれとの部分相関値を順次求め、全ての部分拡散符号に対する最大の部分相関値の和を該所定チップ長の拡散符号と受信スペクトラム拡散符号との相関値として出力するようにしたことを特徴とするデジタルマッチドフィルタ。

【請求項2】 部分拡散符号のチップ長の深さをもち受信スペクトラム拡散符号のチップがシリアルに入力する受信シフトレジスタ手段(11)と、

該受信シフトレジスタ手段(11)の各段の出力にそれぞれ係数を乗算する乗算手段(12)と、

各部分拡散符号を制御信号に基づいて切替えて保持し、保持している値を乗算手段に乗算係数として供給する部分拡散符号供給手段(13a, 13b)と、

前記乗算手段の出力の和を求め、部分相関値として出力する加算手段(14)と、

前記部分相関値の絶対値である部分相関絶対値を生成する絶対値算出手段(15)と、

前記部分相関絶対値が所定閾値TH1を越えるチップタイミングを検出する比較手段(16)と、

受信開始時の最初のチップタイミングを基準に、以後の部分拡散符号と受信スペクトラム拡散信号との部分相関値が最大になるチップタイミングを求め、該タイミングにおいて所望の部分拡散符号が前記部分拡散符号供給手段(13a, 13b)に保持されるように制御する制御信号を生成する制御手段(17)と、

前記チップタイミングで前記加算手段(14)が出力する部分相関値を取込み、1チップ長分を累積加算して出力する部分相関値加算手段(18, 19, 20)と、

を有することを特徴とする請求項1記載のデジタルマッチドフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スペクトラム直接拡散通信方式の受信装置等で用いられるデジタルマッチドフィルタに関する。

SAWコ/ボリュ

【0002】 情報信号に広帯域の拡散符号を乗じて送信し、受信側では逆拡散して狭帯域信号に戻す、いわゆるスペクトラム拡散通信方式は、受信電波のC/N(キャリア・ノイズ比)が悪くても、情報信号を検出できるので宇宙通信や、CDMA(Code Division Multiple Access: 符号分割多元接続)に有望であり、装置の低価格化が望まれている。逆拡散を行うマッチドフィルタをデジタル回路で構成し、そのハード規模を削減すること

は、このための有効な手段である。

【0003】

【従来の技術】 図4に本発明のデジタルマッチドフィルタが適用されるスペクトラム直接拡散通信方式を示す。

【0004】 送信側では、送信データの1ビットずつに拡散符号を乗じる。以下、送信データの情報“1”は-1に、情報“0”は+1の規格化された信号レベルを有するものとして説明する。乗算結果の出力は、 $(-1) \times (-1) = (+1) \times (+1) = +1$ (即ち情報値としては“1” + “1” = “0” + “0” = “0”)、また $(-1) \times (+1) = (+1) \times (-1) = -1$ (情報値としては“1” + “0” = “0” + “1” = “1”)となるので、乗算器は情報値に対するEX-OR回路と同じ動作をする。送信情報ビットが“1”ならば、拡散符号のビットパターンを反転したものが、また送信情報ビットが“0”的ときは、拡散ビットパターンがそのままスペクトラム拡散送信信号のベースバンド信号として生成される。通常、拡散符号は特定の位相を持つ擬似ランダム符号(PN符号)が用いられるが、以下の説明では、前位から後位にABCDEFGHIJKLMNOPのビット長16(拡散符号の各ビットをチップと言うので以下チップ長と称する)の拡散符号“1111010110010001”を用いるものとする。情報レート9.6Kbit/sの原送信データは、1ビットの情報“0”は、16チップ長の拡散符号パターンそのまま、また1ビットの情報

“1”は、拡散符号を反転した16ビットのビット列“0000101001101110”に変換される。従って原送信データ列は、例えばチップクロックレート(拡散符号のビットレート)が $9.6 \times 16 = 153.6$ Kbit/sのベースバンドのスペクトラム拡散信号(SS信号)に拡散される。

【0005】 送信側は、この送信ベースバンドスペクトラム拡散信号でキャリアをPSK変調等により所定に変調した無線信号を送出する。これにより、送信信号のスペクトラムは原情報レートで変調した場合に比べて16倍の帯域に広がる。

【0006】 受信側では、受信無線信号を所定に周波数変換およびPSK復調して、周波数153.6 KHzのアナログ信号である受信ベースバンドスペクトラム拡散信号を得る。このアナログの受信スペクトラム拡散信号はチップクロック周波数153.6 KHzでサンプリングされてAD変換され、デジタル化した受信スペクトラム拡散信号となる。このデジタル化した受信スペクトラム拡散信号は、デジタルマッチドフィルタに入力する。デジタルマッチドフィルタは、この入力信号と、内蔵している拡散符号パターンとの相関を求めるることによってスペクトラム逆拡散を行い、情報レートに等しい繰返し周波数9.6 KHzで最大相関値を出力する。

【0007】 図5により従来のデジタルマッチドフィルタの構成と動作を説明する。チップクロック周波数でデジタル化されたベースバンドの受信スペクトラム拡散信号は、チップ長に等しい16段の深さを持つ受信シフトレ

ジスタ31に順次入力する。一方、係数レジスタ33は、送信側で用いた拡散符号と同一パターンの拡散符号“1111 010110010001”を固定的に保持してパラレルに出力している。拡散符号のチップ長に対応して設けられた16個の乗算器32は、この拡散符号と受信シフトレジスタ31のパラレル出力であるチップ長相当分の受信拡散信号との一致、不一致をチップ毎に乗算することによりチップクロック周期で比較している。比較結果は、加算器34によって16チップ分が常時加算され、自己相関値として出力される。受信信号のパターンが拡散符号のパターンと一致すると、乗算結果は全て1となり加算器34からは最大相関値16が、また受信信号パターンが拡散符号パターンの反転のときは乗算結果は全て-1なので加算器34からは負の最大相関値-16が出力される。そして其以外のチップクロックタイミングでは16/2程度の値が出力される。

【0008】絶対値算出部35はこの相関値を正の相関絶対値に変換する。比較部36はこの相関絶対値を予め設定されている8~16の間の閾値と比較し、閾値を越えるチップタイミングを検出して検出パルスDETを出力する。

【0009】検出パルスDETや相関値の絶対値は、受信開始時点での搬送波再生の引込み用の制御信号や後段の識別部での識別タイミングパルスとして用いられる。図4において、マッチドフィルタの後段のデータ識別部は、検出パルスDETのチップタイミングで相関値の値を識別することにより、原送信データの再生を行う。

【0010】上記において、拡散符号のチップ長が長い程、拡散符号パターンの種類が多くなるので、相関値のピークが大きくなり、低CNの受信信号を良好に受信でき、また多元接続する場合にはチャネル数を多くとれることになる。

【0011】

【発明が解決しようとする課題】上述の従来のデジタルマッチドフィルタでは、拡散符号のチップ長に等しい深さのシフトレジスタとチップ長と同数の乗算器を必要とするため、チップ長を長くすると回路規模が増大するという問題があった。

【0012】このように、拡散符号のチップ長に対応してマッチドフィルタの回路規模が増大するので、通信方式上必要とされる拡散符号の長さが、マッチドフィルタを一個のLSIで構成できる範囲を越える場合には、LSIをカスケード接続してマッチドフィルタを構成していた。また、1個のLSIでマッチドフィルタを構成しようとすると拡散符号のチップ長が制限されるという問題があった。

【0013】本発明は、上記問題に鑑みて創出されたもので、デジタルマッチドフィルタの回路規模を削減することを目的とする。

【0014】

【課題を解決するための手段】図1は、本発明のデジタルマッチドフィルタの第一実施例の構成図である。上記問題点を解決するため、本発明のデジタルマッチドフィルタは、原信号に所定チップ長の拡散符号を用いてスペクトラム拡散を施した受信スペクトラム拡散信号に、逆拡散を施して原信号を取り出すデジタルマッチドフィルタにおいて、所定チップ長の拡散符号を分割してチップ長が略等しい複数の部分拡散符号とし、受信スペクトラム拡散符号と該複数の部分拡散符号のそれぞれとの部分相関値を順次求め、全ての部分拡散符号に対する最大の部分相関値の和を該所定チップ長の拡散符号と受信スペクトラム拡散符号との相関値として出力するように構成する。そして、さらに、図1に示すように、部分拡散符号のチップ長の深さをもち受信スペクトラム拡散符号のチップがシリアルに入力する受信シフトレジスタ手段11と、該受信シフトレジスタ手段11の各段の出力にそれぞれ係数を乗算する乗算手段12と、各部分拡散符号を制御信号に基づいて切替えて保持し、保持している値を乗算手段に乗算係数として供給する部分拡散符号供給手段13a, 13bと、前記乗算手段の出力の和を求め、部分相関値として出力する加算手段14と、前記部分相関値の絶対値である部分相関絶対値を生成する絶対値算出手段15と、前記部分相関絶対値が所定閾値TH1を越えるチップタイミングを検出する比較手段16と、受信開始時の最初のチップタイミングを基準に、以後の部分拡散符号と受信スペクトラム拡散信号との部分相関値が最大になるチップタイミングを求め、該タイミングにおいて所望の部分拡散符号が前記部分拡散符号供給手段に保持されるように制御する制御信号を生成する制御手段17と、前記チップタイミングで前記加算手段が outputする部分相関値を読み、1チップ長分を累積加算して出力する部分相関値加算手段18, 19, 20と、を有して構成する。

【0015】

【作用】相関をとるチップ数が分割により減少するので、相関値を求めるためにマッチドフィルタ内で受信スペクトラム拡散符号のチップを保持する受信シフトレジスタおよび相関を計算する乗算器の個数を部分拡散符号のチップ数だけ設ければよい。従って、マッチドフィルタの回路規模を削減することができる。この分割数は、対象とする通信システムのCN比(キャリア/ノイズ・比)によって適宜決定することができる。通信システムのCNに応じて分割数を適切にきめることにより、効率的な回路構成ができる。

【0016】分割数を増やすと部分拡散符号のチップ数が減り、部分相関値の最大値が小さくなるので、CNが小さい宇宙通信システム等ではせいぜい2分割であるが、CDMA方式の移動通信や無線LAN等では、CNが比較的良いので、部分相関値で所望の制御が可能であり分割数を多くとることができる。

【0017】

Claim
1.2

Claim
記憶
信号処理

【実施例】以下添付図面により本発明の実施例を説明する。図1は本発明の第一実施例の構成図、図2はその動作を説明するためのタイムチャート、図3は第二実施例の構成図である。なお、全図を通じて同一符号は同一対象物を示す。

【0018】以下の実施例では拡散符号はチップ長が16で、前から後ろにABCDEFHijklmnOP(値は1111010110010001)であるとし、これを2分割した8チップずつを部分拡散符号とした場合を説明する。

【0019】第一の実施例は、部分拡散符号供給手段として、各部分拡散符号を固定的に保持する複数の係数レジスタを設け、係数供給元を適宜切り替えるようにしたものである。

【0020】図1において、11は8段の受信シフトレジスタであり、ベースバンド信号に復調された受信スペクトラム拡散信号をチップクロックでサンプリングしたデジタルデータがチップシリアルに順次入力する。このデジタルデータは送信側のチップの情報値“0”“1”に対応して正、負の値をとるものとする。12は乗算器で、受信シフトレジスタの各段に対応して8個設けられ、シフトレジスタの各段が outputするチップの値と、係数とをチップ毎に乘算する。13a, 13bは二つの係数レジスタで、13aは16チップの拡散符号の前半部分の8チップ、即ちABCDEFH"11110101"を、また13bは後半部分の8チップIJKLMNOP "10010001"に対応する値を、それぞれ保持しており、制御部17からの切替制御信号CNTに制御されて何れか一方の値が、乗算係数として乗算器12に供給される。なお、上記部分拡散符号の情報と実際に乗算器に供給される係数の信号レベルとの関係は、“0”が+1の、また“1”が-1の極性を持つ信号レベルに対応するものとする。例えば、切替制御信号CNTが”H”の時は、後半の部分拡散符号“10010001”に対応する“-1, 1, 1, -1, 1, 1, -1”が係数レジスタ13bから、“L”的ときは前半の“11110101”に対応する“-1, -1, -1, 1, 1, -1, 1, 1”が係数レジスタ13aから、それぞれ乗算係数として各乗算器に供給される。

【0021】14は加算器で8個の乗算器12が outputする乗算結果の算術加算を行って部分相関値として出力する。6は絶対値算出部で、加算器14が outputする部分相関値が正の値のときはそのまま、負の値の時には極性符号を反転した正の値に変換して、常に正の値をもつ部分相関絶対値を出力する。16は比較器で、1部分拡散符号周期内における部分相関絶対値がピークとなる（即ち自己相関がとれた）チップクロックタイミングを検出するためのもので、外部から最大相関値の1/4、例えば、本実施例の如く拡散符号長は16の場合には4~8の間の適当な数値が閾値TH1として設定されており、絶対値算出部15が outputする値がこの閾値を越えたチップクロックタイミングに検出パルスDET1を出力する。18は部分相関値保持レジスタで、加算器14が outputしている部分相関値

を、制御部17からのラッチパルスLPのタイミングで取込み、保持・出力する。

【0022】17は制御部で、検出パルスDET1が入力して、各種の制御信号を生成する。切替制御信号CNTは、動作開始直後に”H”となり、最初の検出パルスDET1が入力すると”L”となり、次の検出パルスDET1が入力する”H”となる。以後検出パルスDET1が入力する度に”L”, ”H”を交互に出力する。この切替制御信号により、DET1パルスが発生する度に、乗算器に供給される乗算係数は後半の部分拡散符号と前半の部分拡散符号とが交互に切り替わることになる。また、制御部17は最初の検出パルスの次の検出パルスから1 検出パルスおきに、部分相関値保持レジスタ18にラッチパルスLAを供給し、二つのラッチパルスの中間の検出パルスタイミングでは出力制御パルスOUTCNTを出力する。19は加算器で、部分相関値保持レジスタ18の出力と、第一の加算器14の出力を常時加算して出力している。20は例えば3ステートゲートからなる出力ゲートで、出力制御パルスOUTCNTが印加されたときのみ、第二の加算器19の出力を、相関値として後段に出力する。

【0023】21は第二の絶対値算出部で、常時入力している第二の加算器19からの加算結果を正の値に符号変換して出力する。22は比較回路で、1チップパターン周期における最大相関値の1/2以上の値を検出する第二の閾値TH2、例えば数値8が外部から設定されており、入力がこの閾値を越えるチップタイミングで検出パルスDETを出力する。

【0024】次に、図2を共に用いて、動作を説明する。送信される原信号がデータ“0”的連続であり、上記拡散符号により16チップに拡散して送信されるものとする。

【0025】図2においては、時間軸は上下方向であり、各チップクロックタイミング毎の上段は受信シフトレジスタに保持されている受信スペクトラム拡散信号が有する情報値①、下段は係数レジスタが供給する係数に対応する情報値②である。まず初期状態では、切替制御信号CNTが”H”であり、係数レジスタ13bから拡散符号の後半の部分拡散符号パターンのIJKLMNOP "10010001"に対応する乗算係数“-1, 1, 1, -1, 1, 1, -1”が供給されている。受信拡散信号は1チップずつ受信シフトレジスタに入力し、拡散符号の後半部に相当する8チップ分が入力したチップクロックタイミング0で、受信シフトレジスタ11の8チップ分のパラレル出力は“10010001”に対応する“-1, 1, 1, -1, 1, 1, -1”となるので、8個の乗算器の出力は全て+1となり、部分相関絶対値は8で最大となる。これにより最初の検出パルスDET1-1が出力され、制御部17は動作を開始する。最初の検出パルスDET1-1により、制御部17は切替制御信号CNTを”L”とするので、係数レジスタ13aに係数供給元が切り替わり、前半の部分拡散符号ABCDEFH"11110101"に対応する“-1, -1, -

1,-1,1,-1,1,1" が乗算器に供給される。最初の切替後の 8 チップクロック後のタイミング 9 で、受信シフトレジスタには、次の受信スペクトラム拡散信号の前半部が入力保持されるので、再び部分相関値およびその絶対値は最大となり、2 つめの検出パルス DET1-2 が発生する。これにより、そのときの部分相関値 a が相関値保持レジスタ 18 に取込まれるとともに、切替制御信号 CNT が "H" となって、乗算係数は後半の部分拡散符号に切り替わる。これにより、後半の拡散符号で受信信号を待ち受けることになり、切替後 8 チップクロック目のチップタイミング 16 で再び部分相関値は最大となる。このときに、前半の大部分相関値 a とこの後半の大部分相関値 b とが、第二の加算器 19 で加算された値が、マッチドフィルタの出力として後段に出力されて、所定に復号されてデータが取り出される。またその絶対値が第二の閾値 TH2 を越えることを比較器 22 が検出するので、1 チップパターン周期で一回の検出パルス DET と最大相関値とが output する。

【0026】送信情報が "1" のときは、受信信号パターンの符号は反転しているので、絶対値を取る前の相関出力の符号が - であり、相関値は絶対値を取っているので正である。相関出力の正、負を検出パルスのタイミングで識別することにより送信情報の "1" "0" が検出される。また相関値は、受信無線周波数信号を IF 信号に変換するためのローカル発振器の制御等に用いられる。検出パルスはデータの識別や、チップクロックの発生のためのタイミング信号として用いられる。

【0027】図 3 は、第二の実施例で、部分拡散符号供給手段の係数レジスタにシフトレジスタを用いた例を示す。係数レジスタは、8 チップ長の部分拡散符号を保持する現用係数保持レジスタ 23a と、残りの 8 チップ長を保持する待機係数レジスタ 23b とからなる。16 チップ長の 1 チップパターン周期分の拡散符号パターンが両者に分かれて保持されており、乗算係数は現用係数保持レジスタ 23a から乗算器 12 に供給される。一方の係数保持レジスタの最終段からの出力は他方の係数レジスタの初段の入力に接続され、制御部 17' からのチップパターンクロックに同期したシフトパルス SP により、反時計方向に 1 チップ分ずつシフトする。従って、現用係数レジスタ 23a は、拡散符号パターンの連続した 8 チップ分に対応する係数を出し、1 チップクロック毎に前位桁方向に 1 チップ分ずつシフトする。そして制御部 17' は、最初の検出パルス DET1 が入力するとチップクロックの周期でシフトパルス SP を出力する。初期状態では、現用レジスタ 23a には、拡散符号の後半の部分拡散符号 I, J, K, L, M, N, 0, P の 8 チップ分のパターンが最後位チップ I がシフトレジスタの初段と対応するように保持され、待機係数レジスタ 23b には前半の部分拡散符号 A, B, C, D, E, F, G, H の 8 チップ分のパターンが格納されている。この時点ではシフトパルスを発生していないので、現用係数レジスタ

23a の出力は固定している。受信シフトレジスタ 11 に入力する受信拡散信号が次々とシフトして、そのパラレル出力がこの後半部分と一致したチップタイミングで加算器 14 からの部分相関値は最大となる。そのときの絶対値は比較器 16 の閾値を越えるので最初の検出パルス DET1 が output される。これにより、制御部 17' はシフトパルスの供給を開始し、現用係数レジスタの内容は、1 チップずつ前位桁方向にシフトし、8 チップクロック目で前半の部分拡散符号に対応する係数を出力する。この時受信シフトレジスタ 11 には、次の受信拡散信号の前半部が入力しあわっているので、そのチップクロックタイミングでの部分相関値は最大となる。制御部 17' は、最初の検出パルス DET1 を基準にして、第一実施例と同様のチップタイミングでラッタパルス LP と、出力制御パルス OUTCNT を生成しているので、前半の部分相関値のピーク a が部分相関値レジスタ 18 に保持される。次の 8 チップクロック目では拡散符号の後半の I, J, K, L, M, N, 0, P と入力拡散信号との相関値がピークになるので、後半の最大相関値 b が閾値を越え、3 つめの検出パルス DET1 が output される。このとき、部分相関値レジスタが保持する前半の最大相関値 a と b との加算結果が後段のデータ識別部へ出力される。またこの相関値の絶対値が第二の閾値を越えるので、検出パルス DET が output される。

【0028】以上の実施例は、チップ長 16 の拡散符号を 8 チップ長の部分拡散符号に 2 分割した例について説明した。この拡散符号のチップ長が奇数で、同一チップ長の部分拡散符号に 2 分割できない場合には、大きいチップ長に合わせて受信シフトレジスタと乗算器を設ければよい。

【0029】また、分割数を 3 以上にする場合には分割数に対応する個数の部分相関値レジスタを設けて、制御部で適切なタイミングでそれぞれに各部分拡散符号に対応する部分相関値の最大値を保持させ、1 拡散符号フレーム毎に一つの合計相関値を出力するようにしたり、あるいは分割後のチップ長単位に順次求まる 3 個以上の最大部分相関値をその都度累積加算することによって、全チップ長に対する最大相関値を 1 個出力するように構成してもよい。

【0030】このチップ分割数は、通信システムの CN 比や、所要チャネル数、拡散符号長等の組合せに応じて、最適の特性が得られるように適宜きめることができる。

【0031】

【発明の効果】以上説明した如く本発明によれば、拡散符号を分割した部分拡散符号と受信スペクトラム拡散信号との相関を順次求めるので、相関計算のための乗算器や受信拡散信号を保持するシフトレジスタの数を削減することができ、デジタルマッチドフィルタを小さい回路規模で実現できるという効果がある。

【図面の簡単な説明】

【図1】 本発明のデジタルマッチドフィルタの第一実施例構成図

【図2】 図1の動作説明のためのタイムチャート

【図3】 本発明のデジタルマッチドフィルタの第二実施例構成図

【図4】 本発明のデジタルマッチドフィルタが適用さ

れるスペクトラム直接拡散通信方式を示す図

【図5】 従来のデジタルマッチドフィルタの構成図

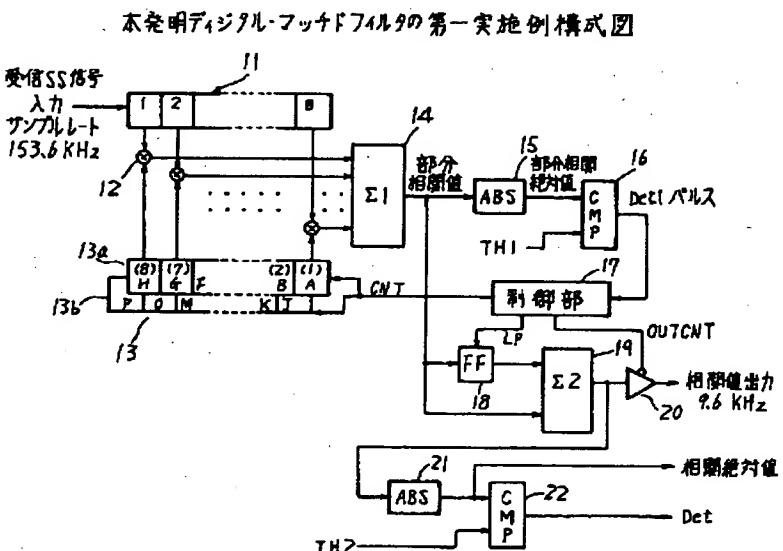
【符号の説明】

11…受信シフトレジスタ、12…乗算器、13a, 13b, 23a, 23

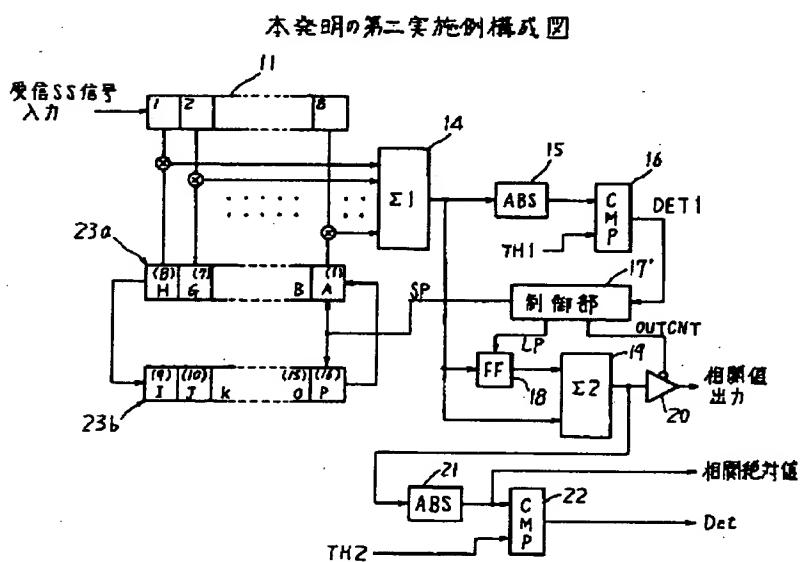
b …係数保持レジスタ、14…加算器、15…絶対値算出

部、16…比較部、17, 17'…制御部

【図1】

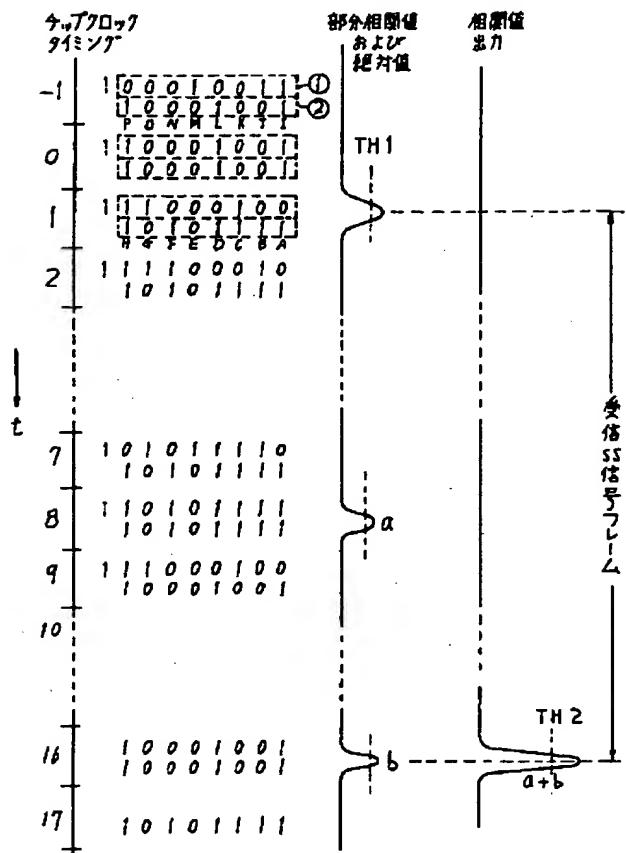


【図3】



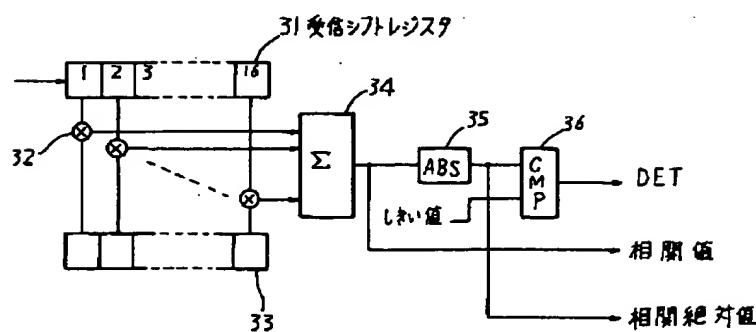
【図2】

図1の動作説明のためのタイムチャート



【図5】

従来のデジタルフッテドフィルタの構成図



【图4】

